

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-125828

⑮ Int. Cl.⁴

H 01 L 21/30
G 03 F 7/20

識別記号

3 6 1

庁内整理番号

W-7376-5F
6906-2H

⑬ 公開 平成1年(1989)5月18日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 レジスト現像装置

⑯ 特 願 昭62-284916

⑰ 出 願 昭62(1987)11月10日

⑱ 発 明 者	高 橋 盛	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 発 明 者	野 末 寛	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 発 明 者	新 富 浩 之	東京都港区芝5丁目33番1号	日本電気株式会社内
⑰ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号	
⑱ 代 理 人	弁理士 内 原 晋		

明 細 書

1. 発明の名称

レジスト現像装置

2. 特許請求の範囲

レジストが塗布された半導体基板に現像液を供給する機構を含むレジスト現像装置において、前記半導体基板の周辺を露光する手段を備えたことを特徴とするレジスト現像装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はレジスト現像装置に関し、特に、レジストが塗布された半導体基板に現像液を供給する機構を有すレジスト現像装置に関する。

〔従来の技術〕

半導体集積回路はICからLSIへ、さらにVLSIへと発展を遂げているが、これは回路パターンの微細化技術の発達によって達成され、と

くにこのパターンをSiウェハー上に転写するリソグラフィ技術がLSI発展の要となっている。

リソグラフィ工程は第3図のフローチャートに示す如く、実施される。まず、被加工材の形成されたSiウェハー上にポジ形レジストがスピンコート、即ちウェハー上にレジスト滴下し、その後ウェハーを回転することにより均一塗布される。しかしながらこれだけでは第4図に断面図で示した如く、Siウェハー1の側面及び裏面にまでレジスト2がまわり込んでしまう。そしてこのままだと、例えば、その後の露光時に露光装置の搬送系のベルトやウェハーステージをレジストで汚染し、さらにレジストカスが発生してウェハーステージでの真空吸着エラーの原因となる。そこで、通常、ウェハー上へのレジストスピンコート後、ウェハー裏面側に配置したノズル4からメチルエチルケトン(MEK)等の液体5をその周辺部に吹き付け、ウェハー側面部および裏面部にまわりこんだレジストを除去するようにしている。第5図はメチルエチルケトンの噴射によって側面部お

よび裏面部のレジストを除去したウェハの断面図であるが、ウェハ表面の周辺部にはMBKの噴射によってレジストの盛り上がり部31ができてしまう。レジスト膜厚 x_1 が $1\sim 3\mu m$ に対して、この盛り上がり x_2 は $1\sim 2\mu m$ にもなる。

このようにして、レジストが塗布された後、ブリークされ、露光装置によって目的とするパターンが露光され、次にレジストが現像処理される。

第8図は従来の現像装置の要部模式図である。現像工程では、ウェハ1はウェハチャック8で真空吸着されている。ウェハ上には現像液ノズル9から現像液が滴下され露光が完了したレジスト3が現像される。所定時間現像が行なわれると、ウェハチャック8を高速回転し、ウェハ上の現像液を飛散させ、次に、リンス液ノズル10からリンス液をウェハ上に滴下してレジスト3にリンス処理を行なう。再びウェハチャック8を高速回転し、リンス液を飛散される。現像液及びリンス液は下カップ6によって受けられるが、

ウェハは次の工程へと送られる。

〔発明が解決しようとする問題点〕

上述した従来の現像装置ではウェハ周辺のレジスト盛り上がり部のレジストを除去できないため、現像後のプラズマ剝離時に剝離しなければならなかった。しかるに、この盛り上がり部ではレジスト膜厚が、他の部位に比べ $1\mu m$ 以上厚いため、除去するのに時間がかかる。従って、真の集積回路上のレジストが除去された後も、さらにウェハはプラズマにさらされるため、集積回路素子がプラズマによってダメージを受け、歩留りの低下、品質の低下を招くという欠点があった。

〔問題点を解決するための手段〕

本発明は、レジスト現像装置内にウェハの少くとも一部分（とくに周辺部）を露光するための機構を具備せしめ、レジスト塗布後、通常の露光が行なわれたウェハを現像する際、その現像装置内でウェハ周辺部のみを選択的に露光できるようにしたものである。従って、通常の露光工程ではウェハ周辺部のレジスト盛り上がり部に対し

ウェハチャック8の回転時、液が空中に飛散するのを防ぐため上カップ7が設けられている。

さて、この現像工程では、レジスト盛り上がり部31は通常、露光されていないため、あるいは露光されていてもこの部分31はレジストが厚く、ウェハ中央部の真のパターン露光部と同一露光量では露光不足のため、現像後も盛り上がったまま残されてしまう。

現像後、ウェハはポストブリークを受け、次にレジストパターンをマスクとして被加工材がエッチングされ、その後レジストはプラズマ剝離される。第6図はプラズマ剝離を受けるウェハの断面図、第7図は剝離を受けたウェハの断面図である。プラズマによるレジスト剝離時間はウェハ内の真の集積回路上のレジスト膜を除去する時間に設定されているため、ウェハ周辺部のレジスト盛り上がり部のレジストはそのまま残ってしまう。この部分のレジストを除去するためには、レジスト剝離時間をさらに延長しなければならない。こうして、レジストが完全に除去されると、

て注意を払うことなく、ウェハ中央部の真の集積回路素子上のレジストの膜厚に応じた条件で露光を行えばよい。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は本発明の実施例を説明するための要部構成図である。本実施例では、現像装置にウェハ周辺のレジスト盛り上がり部31のみを選択的に露光するための周辺露光機11が設けられている。

ウェハチャック8で真空吸着されたウェハ1は、現像に先立ちまず周辺露光機11によってその周辺部のみが露光される。周辺露光機11はウェハ周辺のレジスト盛り上がり部31のみを露光すべく、上カップ7に固定され、またウェハ内側部分、即ち、集積回路素子パターン上のすでに露光されている部分を露光しない様に、遮光板12が設けられている。露光光源13はレジスト3が露光されるべき波長での光を発生するものであれば何でも良いが、水銀のg線、i線に感度を持つレジストが多い事、また、露光時間短縮

のため強度の高い光源が望まれることから、水銀ランプあるいはハロゲンランプが適当であろう。光源13から発生した光は光ファイバー14を通り周辺露光機11に導かれる。露光はウェハータック8、すなわちウェハ1を回転しながら連続的に所定の時間行なわれ、その後通常の現像およびリンス処理が行なわれる。周辺露光機11及び遮光板12としては現像液、リンス液と反応しない材質のものが選択され、周辺露光機11は光ファイバークラス等が、遮光板12はテフロン、SUS等が使用可能である。なお、周辺露光機11を可動式とし、現像、リンス時は周辺露光機11を上カップ7から取りはずしできるようにしてもよい。

第2図は本発明の実施例2の要部構成図である。装置の基本構成は実施例1とはほぼ同じであるが、ここでは光源13を出た光を2本の光ファイバ14と24とに分離し、光ファイバ14を通った光は集光レンズ系21によってレジスト盛り上がり部31に集光して、その部分を露光する。一方、

光ファイバ24を通った光はウェハ裏面部を露光する。ここでウェハ裏面部を露光するのは、レジスト塗布時に、MEKによって、ウェハ側面部及び裏面部のレジストを除去しない場合もあり、その場合にウェハ裏面部のレジストを露光するためである。

〔発明の効果〕

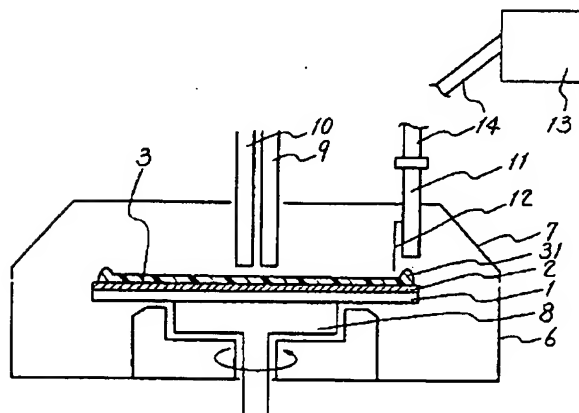
以上説明したように本発明のレジスト現像装置は現像装置にウェハ周辺露光機を設置し、通常露光後で現像前にウェハ周辺のレジスト盛り上がり部を露光し、その後現像してこの部分のレジストを除去することにより、エッチング後のプラズマ剝離時間を短縮し、また、それによってプラズマによるダメージ低減即ち、歩留まり低下、デバイス特性低下を防ぐことが可能であるという優れた効果を奏することがある。

4. 図面の簡単な説明

第1図は本発明の実施例1の要部模式図、第2図は実施例2の要部模式図、第3図はリソグラ

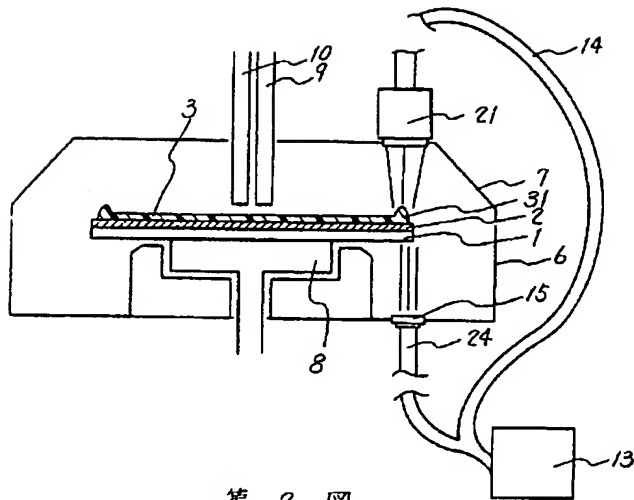
フィ工程の流れ図、第4図および第5図は従来例を説明するためのウェハ断面図、第6図は従来例の模式図、第7図、第8図は従来例を説明するためのウェハ断面図である。

1……ウェハ、2……被エッチング材、3……レジスト、4……ノズル、5……MEK、6……下カップ、7……上カップ、8……ウェハータック、9……現像液ノズル、10……リンス液ノズル、11……周辺露光機、12……遮光板、13……光源、14……光ファイバー、24……光ファイバー、31……レジスト盛り上がり部。

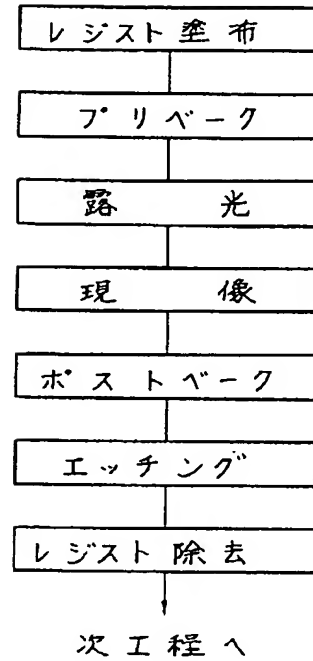


第 1 図

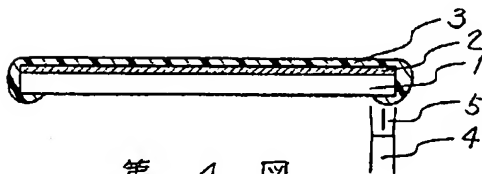
代理人 弁理士 内 原 晋



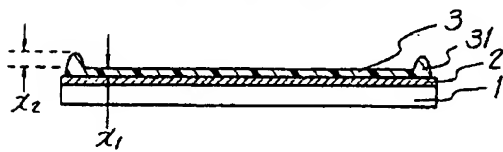
第 2 図



第 3 図



第 4 図



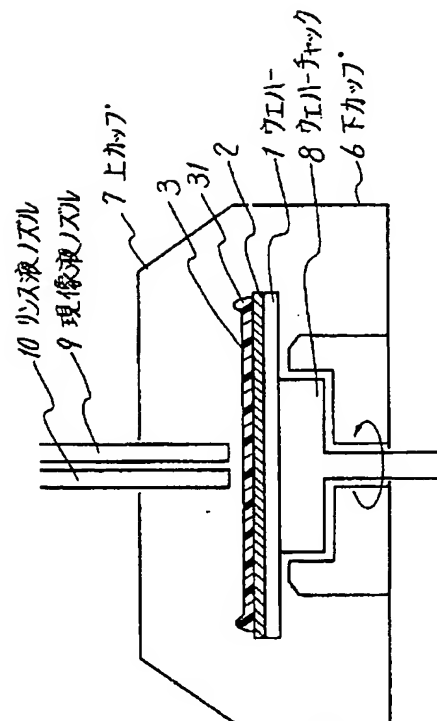
第 5 図



第 6 図



第 7 図



第 8 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-125828

(43)Date of publication of application : 18.05.1989

(51)Int.Cl.

H01L 21/30

G03F 7/20

(21)Application number : 62-284916

(71)Applicant : NEC CORP

(22)Date of filing : 10.11.1987

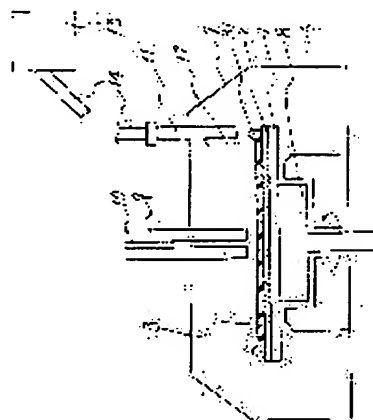
(72)Inventor : TAKAHASHI SHIGERU
NOZUE HIROSHI
SHINTOMI HIROYUKI

(54) RESIST DEVELOPMENT DEVICE

(57)Abstract:

PURPOSE: To prevent the yield and the quality of an integrated circuit element from deteriorating due to the plasma damage by providing a means exposing the peripheral part of a semiconductor substrate.

CONSTITUTION: The peripheral part of a wafer 1 vacuum-sucked by a wafer chuck 8 is firstly exposed by a peripheral exposure device 11 before development process. A shade 12 is provided to be fixed to an upper cup 7 or not to expose the inner part of the wafer 1 i.e. the already exposed part on an integrated circuit element pattern so that the peripheral exposure device 11 may expose only the resist pad part 31 on the peripheral part of the wafer 1. Consequently, it is needless to pay attention to the resist pad part 31 on the peripheral part of the wafer 1 in the ordinary exposure process so long as the exposure process is performed meeting the requirements for the film thickness of a resist 3 on the true integrated circuit element at the central part of the wafer 1. Through these procedures, plasma peeling off time can be cut down to decrease the damage due to plasma and prevent the yield and the device characteristics from deteriorating.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]